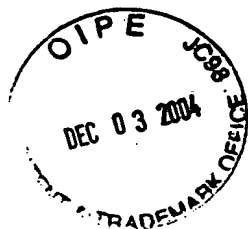


Patent



Customer No. 31561
Application No.: 10/710,732
Docket No. 13041-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang et al.
Application No. : 10/710,732
Filed : Jul 30, 2004
For : METHOD OF MANUFACTURING PHOTODIODE
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93109688,
filed on: 2004/4/8.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 1, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

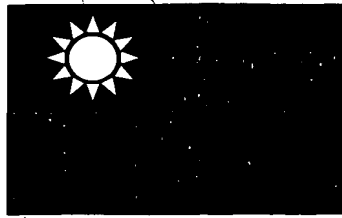
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 04 月 08 日
Application Date

申請案號：093109688
Application No.

申請人：力晶半導體股份有限公司
Applicant(s)

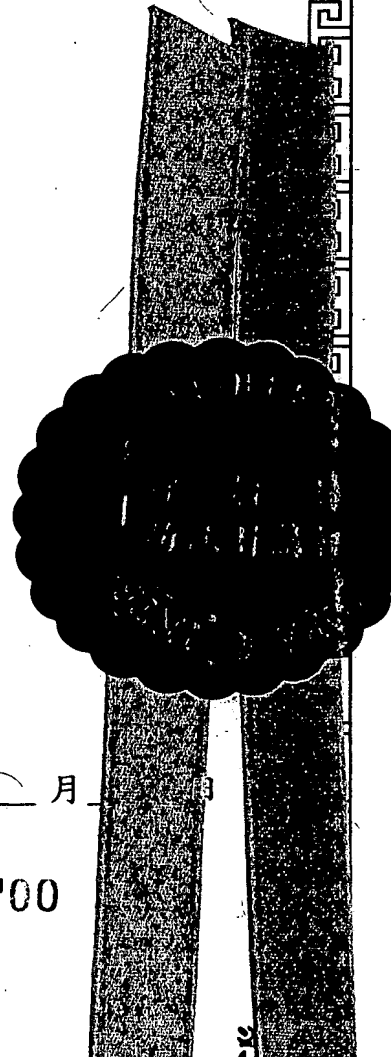
CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

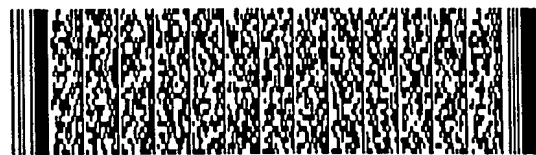
蔡練生

發文日期：西元 2004 年 9 月
Issue Date

發文字號：09320819700
Serial No.







A manufacturing method of a photodiode is provided, wherein the photodiode is formed on a substrate. First, an isolation structure is formed in the substrate to define a sensing area in the substrate. Next, trenches are formed in the substrate. Then, a doped layer with a second conductive type is formed on the substrate, wherein the doped layer covers at least the

五、英文發明摘要 (發明名稱：MANUFACTURING METHOD OF PHOTODIODE)

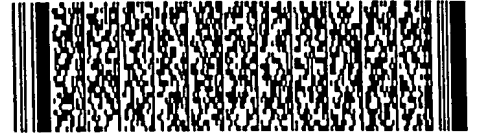
一種光二極體的製作方法，其中此光二極體形成於第一導電型之一基底上。此方法係先形成一隔離結構於基底中，以於基底中定義出光感測區。接著，於基底中形成多個溝槽。之後，於基底上形成第二導電型之一摻雜層，其中此摻雜層至少覆蓋溝槽之內壁與基底之部分頂面。此光二極體的製作方法可縮短整體製程時間，並達到增加生產效率與降低生產成本的目的。

四、中文發明摘要 (發明名稱：光二極體的製作方法)

四、中文發明摘要 (發明名稱：光二極體的製作方法)

五、英文發明摘要 (發明名稱：MANUFACTURING METHOD OF PHOTODIODE)

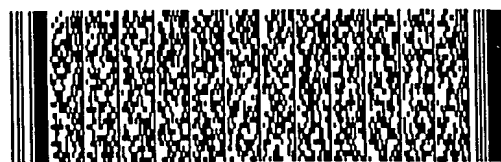
trenches and a portion of the substrate. The manufacturing method of a photodiode can reduce the processing time and the cost, and improve the production efficiency.



六、指定代表圖

- (一)、本案指定代表圖為：圖10
(二)、本代表圖之元件代表符號簡單說明：

400：基底
402：井區
404：隔離結構
406：光感測區
408a、408b、408c：溝槽
410：緩衝層
412：摻雜層
414：P-N 接面
416：邏輯電路區
418：重置電晶體



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

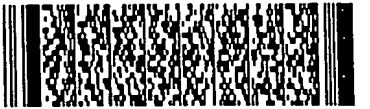
寄存機構：

無

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



【發明所屬之技術領域】

本發明是有關於一種光二極體的製作方法，且特別是有關於一種以化學氣相沉積方式來取代離子佈植製程，以形成P-N接合之空乏區的一種光二極體的製作方法。

【先前技術】

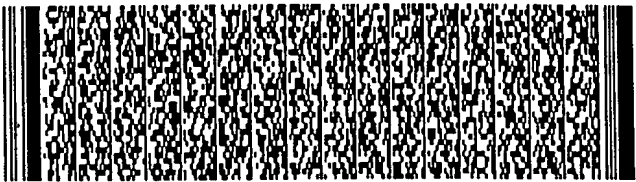
在電子產業蓬勃發展的今日，新一代數位產品不僅可整合來自資訊、消費及通訊三大領域的技術，更同時兼具多媒體功能，其中多媒體影像處理技術也隨著各種零組件技術的成熟及日益增加的應用面，逐漸成為受消費者注目的發展領域。在影像處理應用的需求大幅提昇之下，60年代早已問世的影像感測晶片，也再度受到市場重視，其中尤以CCD（電荷耦合元件）影像感測晶片與CMOS（互補式金氧半導體）影像感測晶片最受矚目。

就CCD影像感測器而言，雖然其具有較高的外界雜訊干擾抵抗能力及較佳的影像品質，但仍具有對於外在變化之反應速度較慢，且無法與其他系統支援晶片有效進行整合之缺點。與CCD影像感測器相較之下，CMOS影像感測器因為其設計方式及採用CMOS半導體製程，因而具備了省電與整合的優勢，再加上製程技術成熟，所以生產成本較低，並且被廣泛地應用在各種對價格敏感的資訊及消費性電子產品中。

典型的CMOS影像感測器主要係由光二極體

(photodiode) 以及金氧半導體 (metal-oxide

semiconductor, MOS) 電晶體所構成，其中藉由光二極體



五、發明說明 (2)

之P-N接面 (P-N junction) 所產生之空乏區 (depletion region)，可分別在光二極體受光與不受光時產生代表訊號 (signal) 與背景雜訊 (noise) 之感應電流。如此，藉由訊號/雜訊比便可得知外界之光強度的變化。

請參考圖1，其繪示習知之一種光二極體的局部示意圖。矽基底102上係形成有一P型井104，並劃分一光感測區106。其中，光感測區106的四周係圍繞一淺溝渠隔離結構 (shallow trench isolation, STI) 108，且光感測區106內之P型井104上係藉由一離子佈植製程而形成一N型摻雜區110。由於在P型井104與N型摻雜區110之P-N接面可產生一空乏區112，因此藉由此空乏區112，便可作為感測外界光線之感應區域。然而，上述之光二極體100因空乏區112的寬度較窄，且空乏區112之位置較深，而具有感測之訊號/雜訊比不佳，且無法感測短波長之光線等問題。

請參考圖2，其繪示揭露於美國專利第6566722號之一種光二極體的局部示意圖。如圖2所示，首先於一P型基底202上形成一P型磊晶砂層 (epitaxial silicon layer) 204。接著，依序經由微影與離子佈植製程，而於P型磊晶砂層204上形成多個第一N型摻雜區206。最後，再依序進行微影與離子佈植製程，而於P型磊晶砂層204與第一N型摻雜區206上形成一第二N型摻雜區208。經由前述製程，可於P型磊晶砂層204中形成多個溝槽狀之第一N型摻雜區206，因而增加第一N型摻雜區206與P型磊晶砂層204之接觸面積，並相對提高光二極體之空乏區210的面積，進而



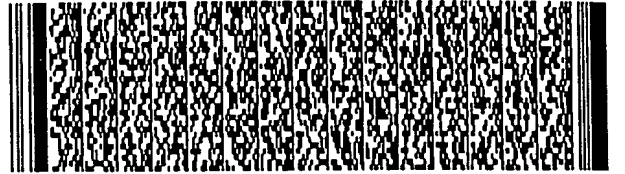
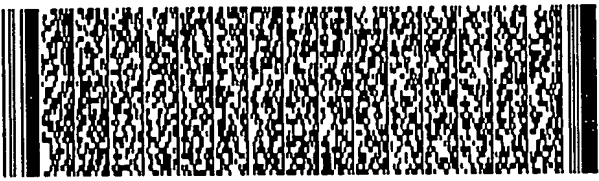
改善光二極體之訊號感測度。此外，藉由P型磊晶矽層204表面之第二N型摻雜區208，亦能有效提升光二極體對於短波長光線之靈敏度。然而，上述之光二極體在製作時，因採用離子佈植方法，故空乏區210之密度不一，而會影響感測效果等問題。

請參考圖3，其繪示揭露於美國專利第6611037號之習知之一種光二極體的局部示意圖。如圖3所示，於一P型基底302上形成溝槽304a與304b。接著，以離子佈植之方式於溝槽304a與304b內，以及溝槽304a與304b間之P型基底302上，形成一N型摻雜區306。之後，再於N型摻雜區306上依序形成隔絕層308與導電層310。其中，N型摻雜區306與P型基底302之間因P-N接合而產生一溝槽狀之空乏區312，而可提升感測效果。然而，此光二極體在形成上述之N型摻雜區306時，由於受到溝槽形狀的限制，因此需要依不同的植入角度進行多次離子佈植製程，以形成均勻的N型摻雜區306。如此一來，不僅在製作上相當耗時，也使得此光二極體的生產成本大幅增加。

【發明內容】

有鑑於此，本發明的目的就是在提供一種光二極體的製作方法，以簡化光二極體的製程，並降低光二極體的生產成本。

基於上述目的，本發明提出一種光二極體的製作方法，其中此光二極體例如形成於一基底上。本發明之光二極體的製作方法首先於基底中形成一第一導電型的一井



區，並且於基底中形成一隔離結構，以於基底中定義出一光感測區。然後，於光感測區內之基底中形成多個溝槽。之後，於基底上形成一第一導電型的一摻雜層，且摻雜層係覆蓋溝槽之內壁與光感測區內之基底表面。

如本發明之較佳實施例所述之光二極體的製作方法，其中在基底上形成第二導電型的摻雜層之後，更可進行一回火製程。藉由此一回火製程可使第二導電型的摻雜層中的摻質趨入基底中，而使第二導電型與第一導電型之接合位於基底中。當第一導電型為P型時，則第二導電型則為N型，而當第一導電型為N型時，則第二導電型為P型。

如本發明之較佳實施例所述之光二極體的製作方法，其中在形成溝槽之後及形成第二導電型的摻雜層之前，更包括形成一緩衝層於基底上，且緩衝層係覆蓋溝槽之內壁與光感測區內之基底表面。在形成第二導電型的摻雜層之後，亦可進行一回火製程，其中藉由此一回火製程例如可使第二導電型的摻雜層中的摻質趨入基底中，而第二導電型與第一導電型之接合係位於基底中。另外，亦可藉由此一回火製程以使第二導電型的摻雜層中的摻質趨入緩衝層，而第二導電型與第一導電型之接合係位於緩衝層中。

基於上述，本發明之光二極體的製作方法先於第一導電型的基底上形成多個溝槽，再利用例如化學氣相沉積的方式於溝槽內壁及部分基底表面形成第二導電型的摻雜層，其中由於基底與摻雜層之間的導電型不同，因此便會因為不同導電型的接合，而產生用以感測光線的一空乏

區。本發明之光二極體的製作方法所形成之光二極體可提
供較大面積之空乏區，因而對外界光線具有較佳的反應靈
敏度。此外，與習知使用離子佈植製程的製作方法相較之
下，本發明係以化學沉積製程來取代習知的多次離子佈植
製程，以形成摻雜層。因此，藉由本發明之光二極體的製
作方法可得到較均勻的摻雜層，並縮短光二極體之整體製
程時間，以達到增加生產效率與降低生產成本的目的。

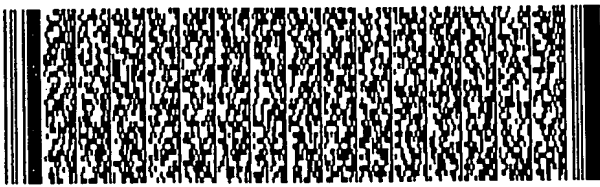
為讓本發明之上述和其他目的、特徵、和優點能更明
顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細
說明如下。

【實施方式】

請參考圖4~9，其依序繪示本發明之光二極體的製作
方法的製造流程剖面圖。

首先，如圖4所示，提供一基底400，其例如可為一P
型或N型砂基底，並於基底400中形成第一導電型之一井區
402。其中，形成井區402之步驟例如可先於基底400上形
成罩幕層（未繪示），以定義出井區402之位置。然後，
進行一離子佈植製程，以於基底400中形成井區402，其中
植入井區402之摻質例如可為P型或N型離子，以決定井區
402為N型井區或P型井區。

接著，如圖5所示，於基底400中形成一隔離結構
404，以藉由此隔離結構404定義出一光感測區406。其
中，隔離結構404例如是一淺溝渠隔離結構（shallow
trench isolation, STI），或藉由區域氧化法（Local



Oxidation) 所形成之場氧化層。隔離結構404之作用主要在避免光感測區406所產生之感應電流擴散至鄰近的感測元件或電子裝置，所造成相互干擾的現象。

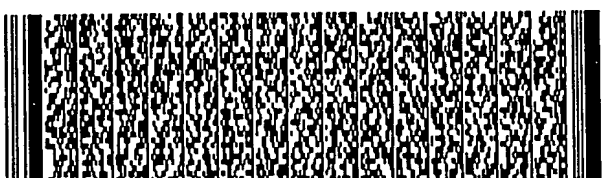
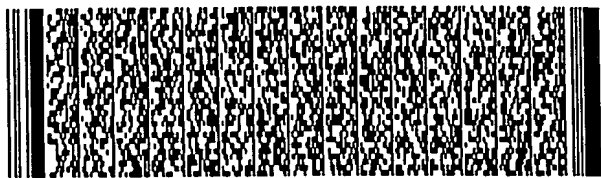
然後，如圖6所示，於光感測區406內之基底400中形成多個溝槽，如圖6所示之溝槽408a、408b與408c。其

中，溝槽408a、408b與408c之形成方法，例如可先形成一圖案化罩幕層（未繪示），以定義出溝槽408a、408b與408c之位置，然後再以此圖案化罩幕層為蝕刻罩幕，對其所暴露出的光感測區406進行非等向蝕刻（anisotropic etching），以於光感測區406上形成溝槽408a、408b與408c。之後，去除光感測區406上之罩幕層。

接著，如圖7所示，於光感測區406上形成一緩衝層410，其中緩衝層410係覆蓋溝槽408a、408b與408c之內壁與溝槽408a、408b與408c之間的基底400表面。緩衝層410之材質例如是多晶矽（poly-silicon）或磊晶矽（epitaxial silicon），其形成方法例如是化學氣相沈積法。值得注意的是，此步驟係為一選擇性的步驟，亦即在本發明之光二極體的製作方法中，可省略此步驟，而直接於基底400上形成下述之摻雜層。

接著，如圖8所示，於緩衝層410上形成第二導電型之一摻雜層412。摻雜層412之材質包括摻雜多晶矽

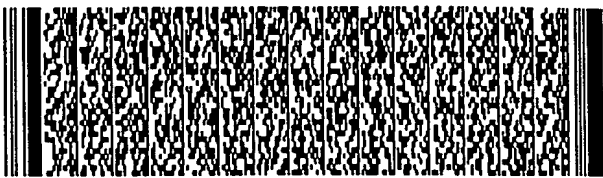
（poly-silicon）或摻雜磊晶矽（epitaxial silicon），其形成方法包括化學氣相沈積法。舉例來說，此摻雜層412可以是以臨場（In-Situ）植入摻質之方式，利用化



學氣相沈積法所形成的摻雜多晶矽 (poly-silicon) 或摻雜磊晶矽 (epitaxial silicon)。值得注意的是，第二導電型係與井區402之第一導電型相反，亦即當井區402為N型時，則摻雜層412為P型，同理，若井區402為P型，則摻雜層412為N型。

之後，如圖9所示，進行一回火製程，其中緩衝層410之存在與否將影響此回火製程之結果。舉例而言，若井區402與摻雜層412之間形成有緩衝層410，則在進行回火製程後，第二導電型的摻雜層412中的摻質係趨入緩衝層410中，而第二導電型與第一導電型之接合（以下簡稱P-N接面）414便可能如圖9所示位於緩衝層410中。當然，若第二導電型的摻雜層412中的摻質被趨入至井區402中，則將於井區402中形成P-N接面（未繪示）。此外，在沒有緩衝層410的情形下進行回火製程時，第二導電型的摻雜層412中的摻質係趨入井區402中，因此P-N接面可位於井區402中。

請參考圖10，其繪示上述本發明之光二極體的製作方法所形成之光二極體的局部剖面示意圖，其中圖10係採用與圖4~9相同之標號表示相同之元件。如圖10所示，本發明之特徵在於以蝕刻的方式於基底400上形成溝槽408a、408b與408c，再以化學氣相沉積先後於溝槽408a、408b與408c內壁及溝槽408a、408b與408c所夾之基底400表面形成緩衝層410與摻雜層412。值得注意的是，上述本發明之形成緩衝層410以及回火製程等步驟係可選擇性地實施，

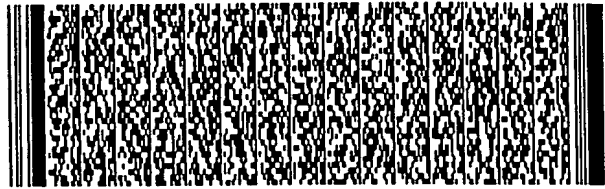
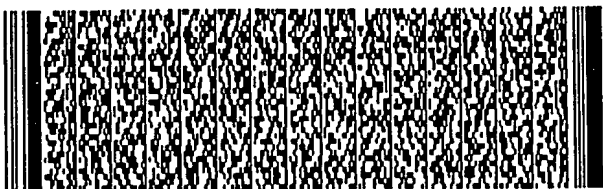


而緩衝層410主要功能係作為摻雜層412與基底400之井區402間之緩衝，以使P-N接面414可位於緩衝層410中。當然，在不脫離本發明的精神範圍內，即使摻雜層412與基底400直接接觸，亦可形成P-N接合之空乏區（未繪示），以提供感應外界光線的功能。

請再參考圖10，在隔離結構404所圍成之光感測區406外的基底400上例如更包括一邏輯電路區416，其內例如配置有一重置電晶體(reset transistor) 418以及其他線路或電子元件等。其中，邏輯電路區416內之元件例如可於蝕刻溝槽408a、408b與408c前預先形成於基底400上，或於上述所有步驟完成後再行製作。然而，關於邏輯電路區416內之重置電晶體418等相關元件的製作流程係為已知之公開技術，因此不再重複贅述。

此外，圖10所繪示者係為本發明於緩衝層410上均勻形成一摻雜層412的情形。然而，在一合理的範圍內，本發明之光二極體的製作方法在形成摻雜層時，亦可直接使摻雜層填滿所有溝槽。請參考圖11，其繪示本發明之光二極體的製作方法所形成之另一種光二極體的局部剖面示意圖。其中，緩衝層510係均勻覆蓋溝槽508a、508b與508c之內壁，以及溝槽508a、508b與508c所夾之基底500的表面上，而摻雜層512則如圖中所示全面性地覆蓋於緩衝層510上，並填滿溝槽508a、508b與508c。

綜上所述，本發明之光二極體的製作方法係藉由形成多個溝槽增加光二極體之感應區域，以提高光二極體之反



應靈敏度。此外，由於本發明之光二極體的製作方法係以化學氣相沉積的方式取代習知之離子佈植製程，因此僅需一道製程便可形成摻雜層。與習知使用離子佈植製程的製作方法相較之下，本發明可形成較為均勻之摻雜層，且因其製程步驟較為簡化，故可有效縮短整體製程時間，進而達到增加生產效率與降低生產成本的目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神限範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

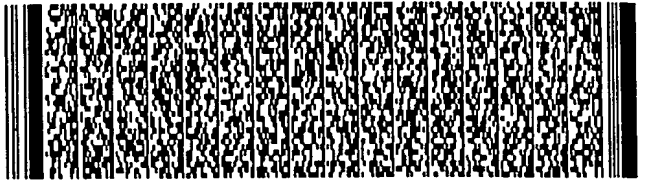
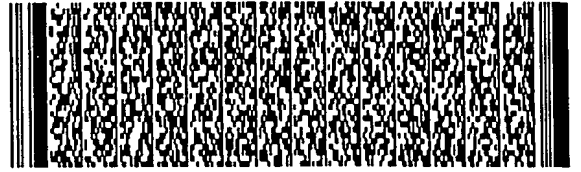


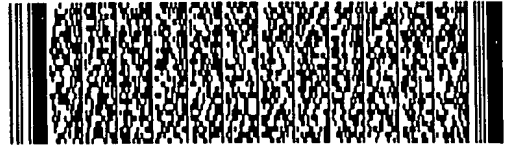
圖1 繪示為習知之一種光二極體的局部示意圖。
 圖2 繪示為習知之另一種光二極體的局部示意圖。
 圖3 繪示為習知之又一種光二極體的局部示意圖。
 圖4~9 依序繪示為本發明之光二極體的製作方法的製造流程剖面圖。
 圖10 繪示為本發明之光二極體的製作方法所形成之光二極體的局部剖面示意圖。
 圖11 繪示為本發明之光二極體的製作方法所形成之另一種光二極體的局部剖面示意圖。
 【圖式標示說明】

102 : 矽基底
 104 : P型井
 106 : 感光區
 108 : 淺溝渠隔離結構
 110 : N型摻雜區
 112 : 空乏區
 202 : P型基底
 204 : P型磊晶矽層
 206 : 第一N型摻雜區
 208 : 第二N型摻雜區
 210 : 空乏區
 302 : P型基底
 304a、304b : 槽溝
 306 : N型摻雜區



圖式簡單說明

- 308 : 隔絕層
- 310 : 導電層
- 312 : 空乏區
- 400 : 基底
- 402 : 井區
- 404 : 隔離結構
- 406 : 光感測區
- 408a、408b、408c : 溝槽
- 410 : 緩衝層
- 412 : 摻雜層
- 414 : P-N 接面
- 416 : 邏輯電路區
- 418 : 重置電晶體
- 502 : 基底
- 508a、508b、508c : 溝槽
- 510 : 緩衝層
- 512 : 摻雜層



1. 一種光二極體的製作方法，包括：

於一基底中形成一第一導電型的一井區；

於該基底中形成一隔離結構，以於該基底中定義出一光感測區；

於該光感測區內之該基底中形成多數個溝槽；以及

於該基底上形成一第一導電型的一摻雜層，該摻雜層覆蓋該些溝槽之內壁與該光感測區內之該基底表面。

2. 如申請專利範圍第1項所述之光二極體的製作方法，其中在於該基底上形成該第二導電型的該摻雜層之步驟後，更包括進行一回火製程。

3. 如申請專利範圍第2項所述之光二極體的製作方法，其中在該回火製程中，使該第二導電型與該第一導電型的摻質趨入該基底中，而使該第二導電型與該第一導電型之接合位於該基底中。

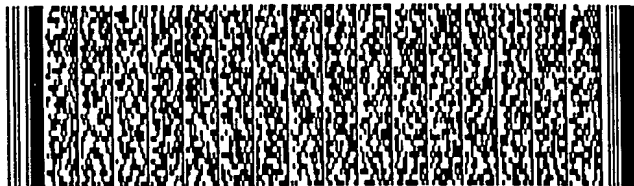
4. 如申請專利範圍第1項所述之光二極體的製作方法，其中該第一導電型係P型，而該第二導電型係N型。

5. 如申請專利範圍第1項所述之光二極體的製作方法，其中該第一導電型係N型，而該第二導電型係P型。

6. 如申請專利範圍第1項所述之光二極體的製作方法，其中該摻雜層之形成方法包括化學氣相沉積法。

7. 如申請專利範圍第1項所述之光二極體的製作方法，其中該摻雜層之材質包括摻雜多晶矽與摻雜磊晶矽其中之一。

8. 如申請專利範圍第1項所述之光二極體的製作方



法，其中該摻雜層更包括填滿這些溝槽。

9. 如申請專利範圍第1項所述之光二極體的製作方

法，其中於該光感測區內之該基底中形成這些溝槽之步驟，後及於該基底上形成該第二導電型的該摻雜層之步驟前，更包括形成一緩衝層於該基底上，該緩衝層覆蓋該些溝槽之內壁與該光感測區內之該基底表面。

10. 如申請專利範圍第9項所述之光二極體的製作方

法，其中該緩衝層之形成方法包括化學氣相沉積法。

11. 如申請專利範圍第9項所述之光二極體的製作方

法，其中該緩衝層之材質包括多晶矽與磊晶矽其中之一。

12. 如申請專利範圍第9項所述之光二極體的製作方

法，其中在於該基底上形成該第二導電型的該摻雜層之步

驟後，更包括進行一回火製程。

13. 如申請專利範圍第12項所述之光二極體的製作方

法，其中在該回火製程中，使該第二導電型的該摻雜層中

的摻質趨入該緩衝層，而使該第二導電型與該第一導電型

之接合位於該緩衝層中。

14. 如申請專利範圍第12項所述之光二極體的製作方

法，其中在該回火製程中，使該第二導電型的該摻雜層中

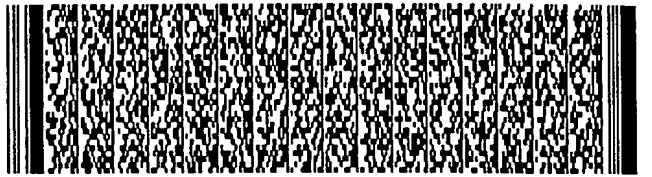
的摻質趨入該基底中，而使該第二導電型與該第一導電型

之接合位於該基底中。

15. 如申請專利範圍第9項所述之光二極體的製作方

法，其中該摻雜層更包括填滿這些溝槽。

16. 一種光二極體的製作方法，包括：



於一基底中形成一第一導電型的一井區；

於該基底中形成一隔離結構，以於該基底中定義出一

光感測區；

於該光感測區內之該基底中形成多數個溝槽；

形成一緩衝層於該基底上，且該緩衝層覆蓋該些溝槽之內壁與該光感測區內之該基底表面；

於該緩衝層上形成一第一導電型的一摻雜層；以及

進行一回火製程，以使該第二導電型的該摻雜層中的摻質趨入該緩衝層，而該第二導電型與該第一導電型之接合係位於該緩衝層中。

17. 如申請專利範圍第16項所述之光二極體的製作方

法，其中該摻雜層之形成方法包括化學氣相沉積法。

18. 如申請專利範圍第16項所述之光二極體的製作方

法，其中該摻雜層之材質包括摻雜多晶矽與摻雜磊晶矽其

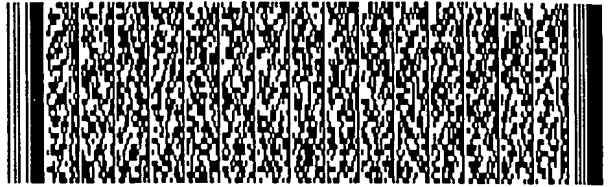
中之一。

19. 如申請專利範圍第16項所述之光二極體的製作方

法，其中該緩衝層之形成方法包括化學氣相沉積法。

20. 如申請專利範圍第16項所述之光二極體的製作方

法，其中該緩衝層之材質包括多晶矽與磊晶矽其中之一。





13041TW-I

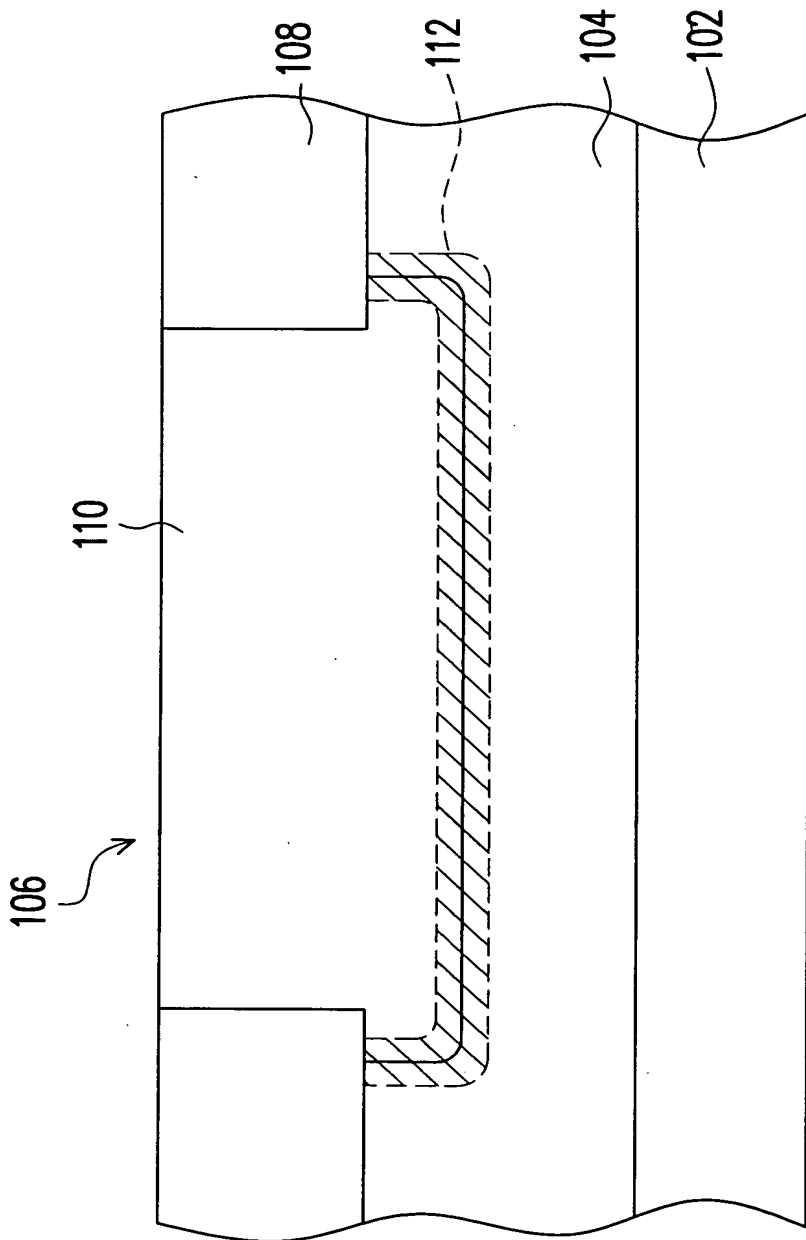


圖 1

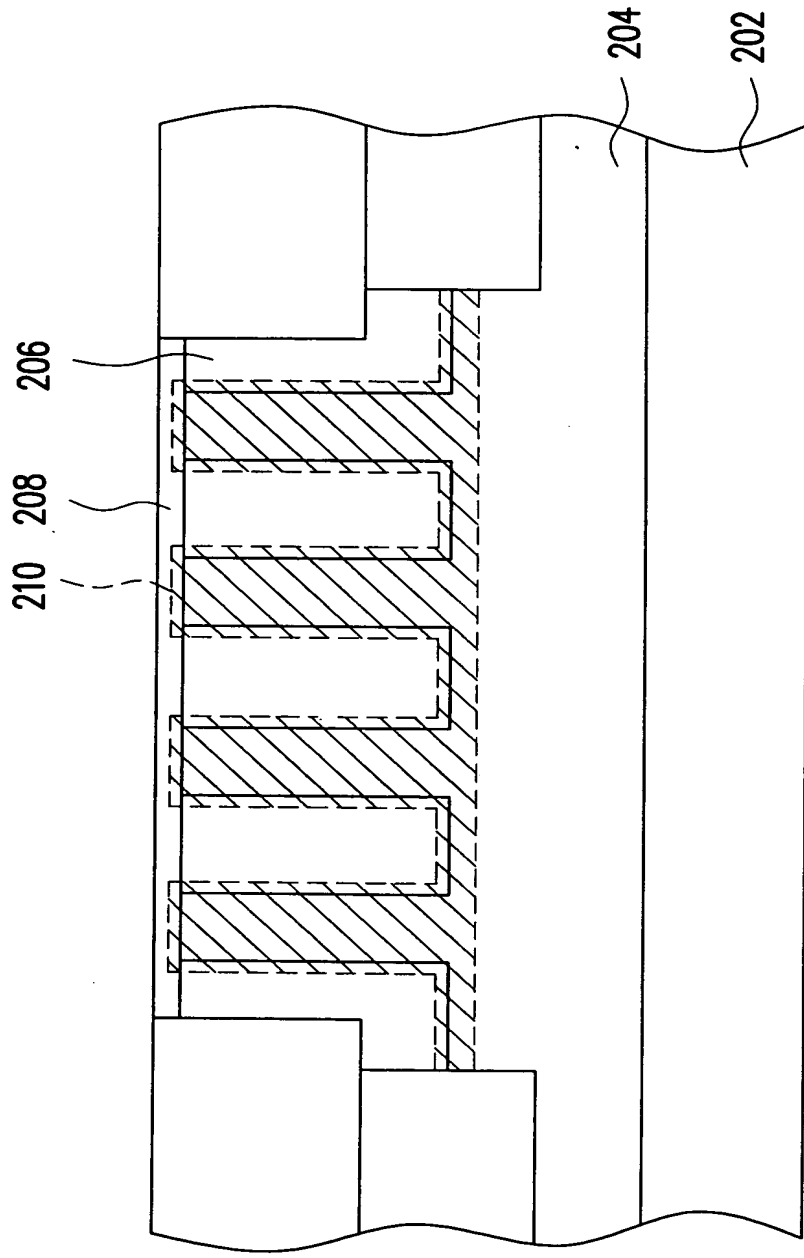


圖 2

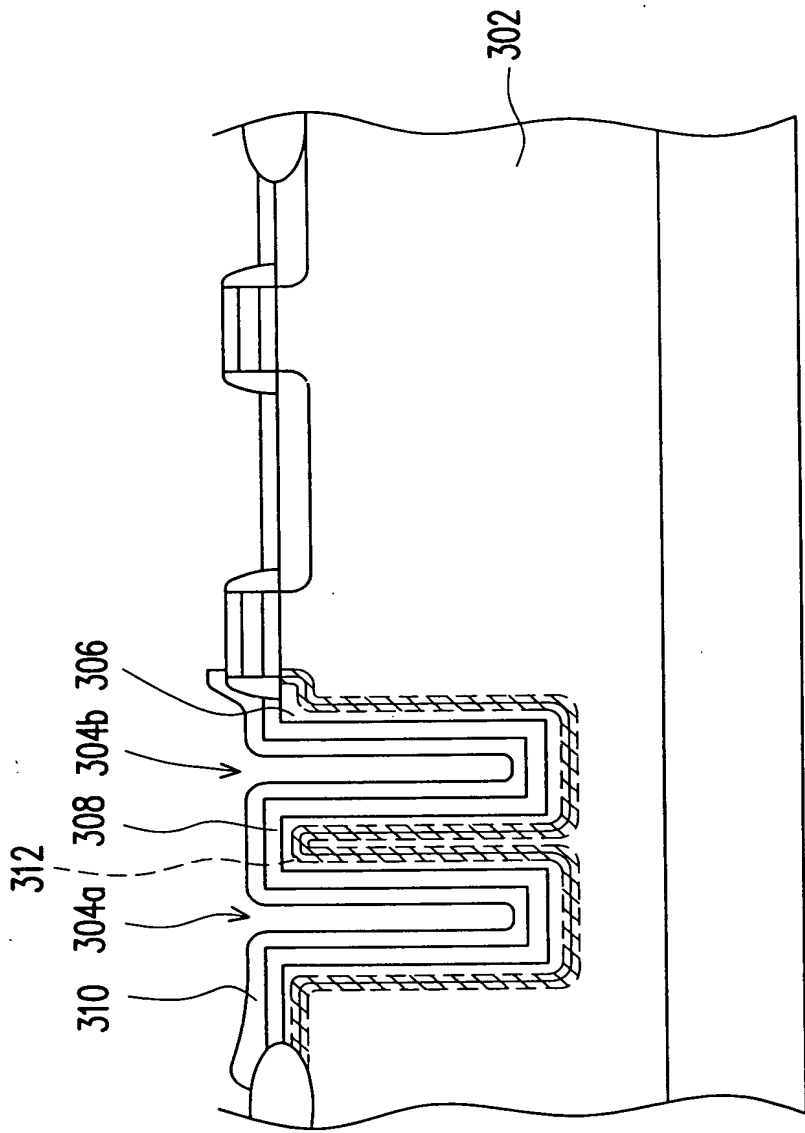


圖 3

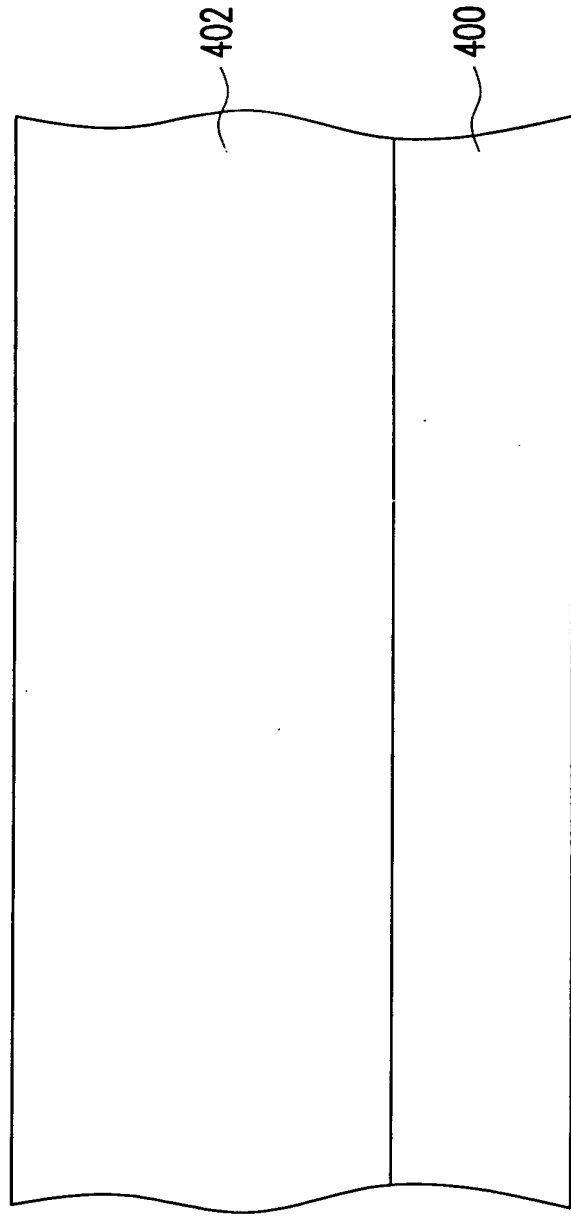


圖 4

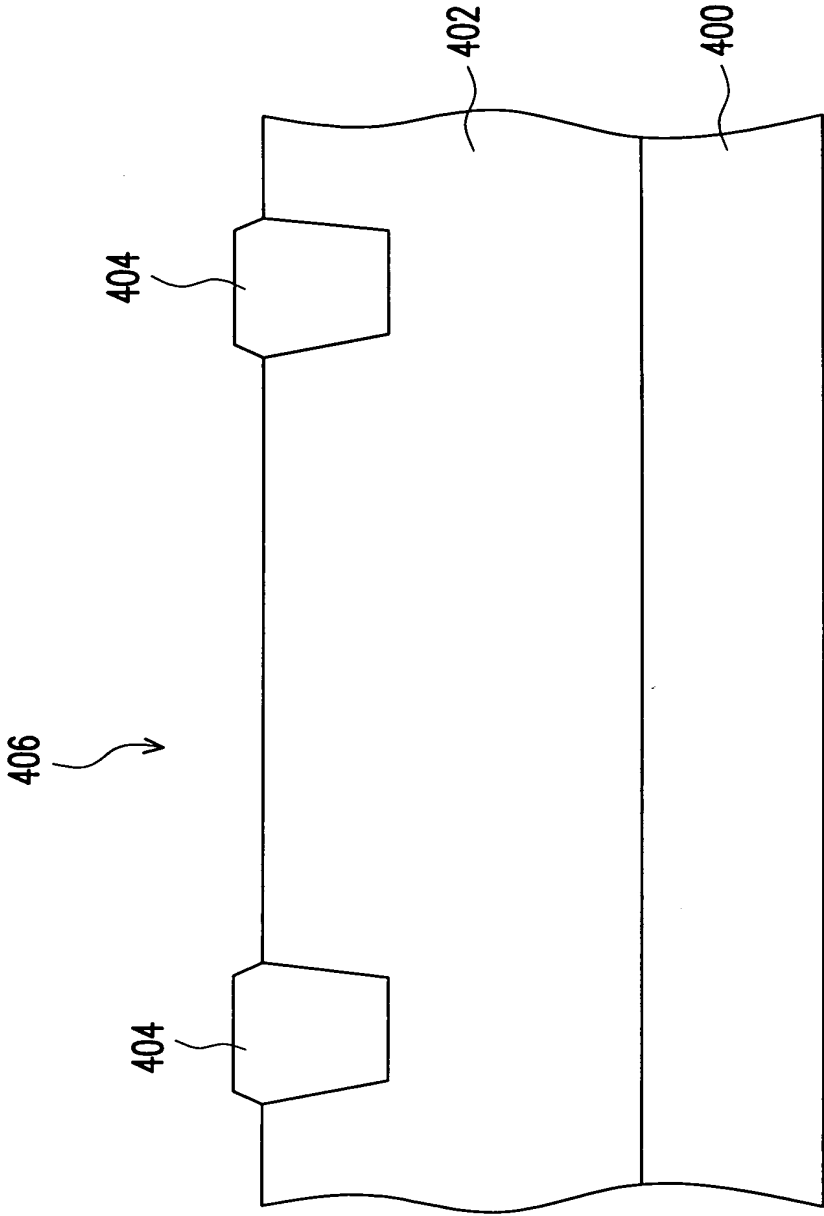


圖 5

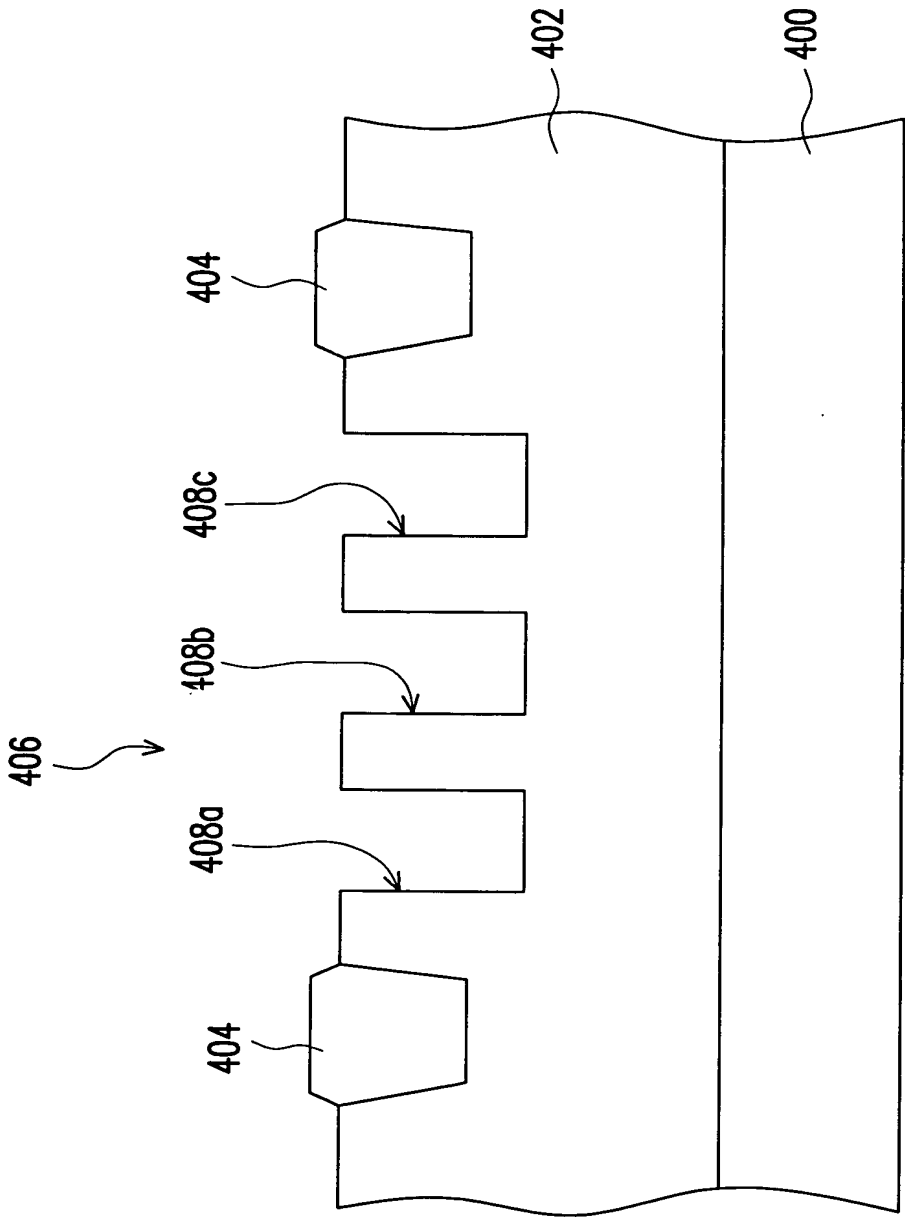


圖 6

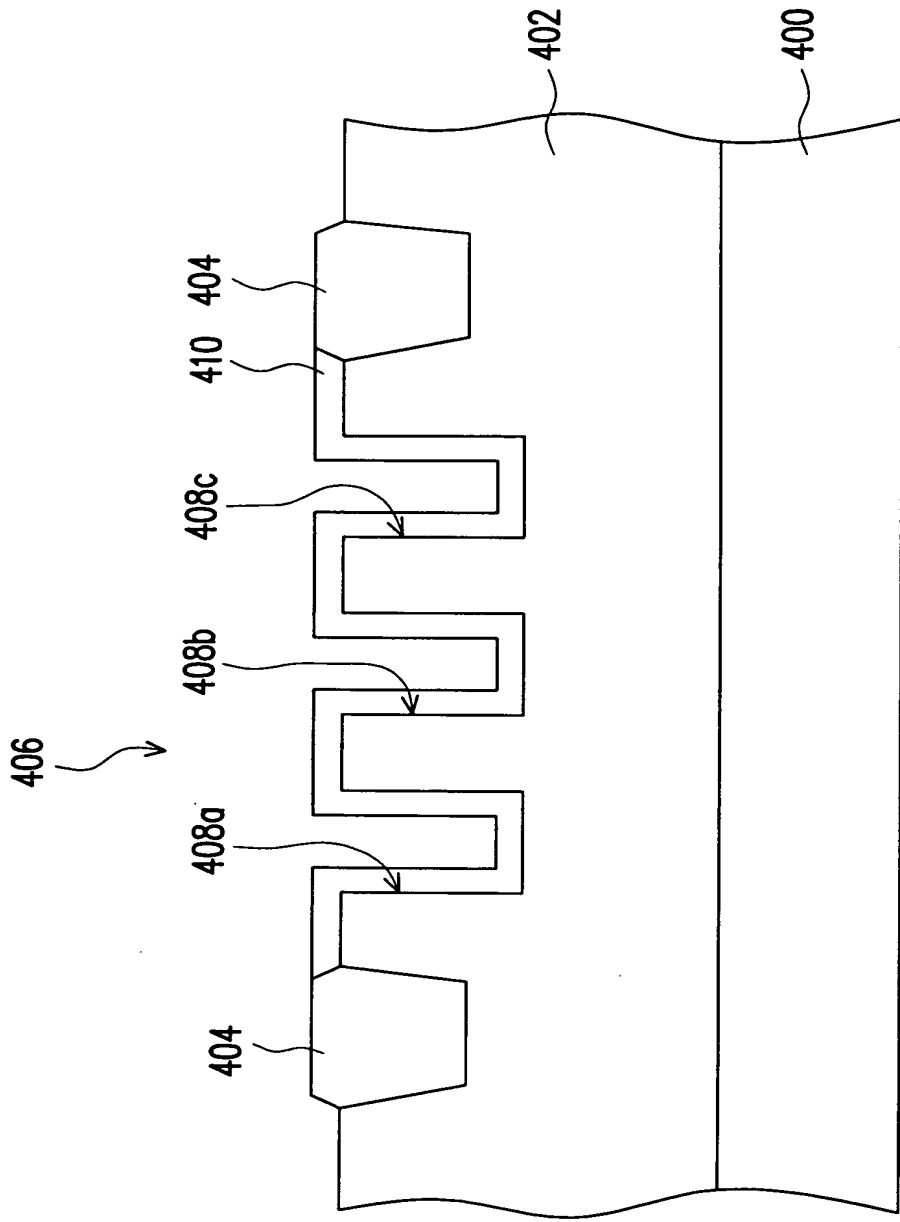


圖 7

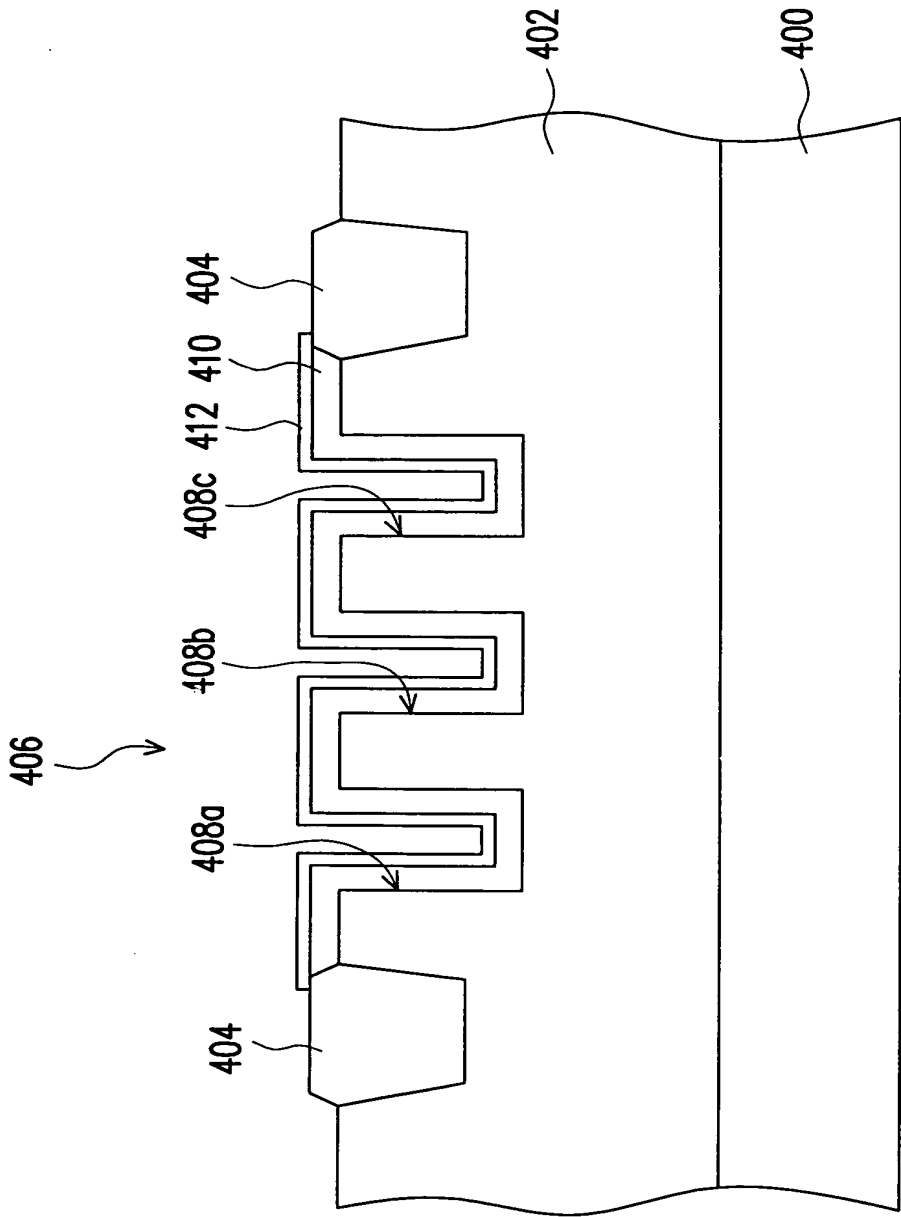


圖 8

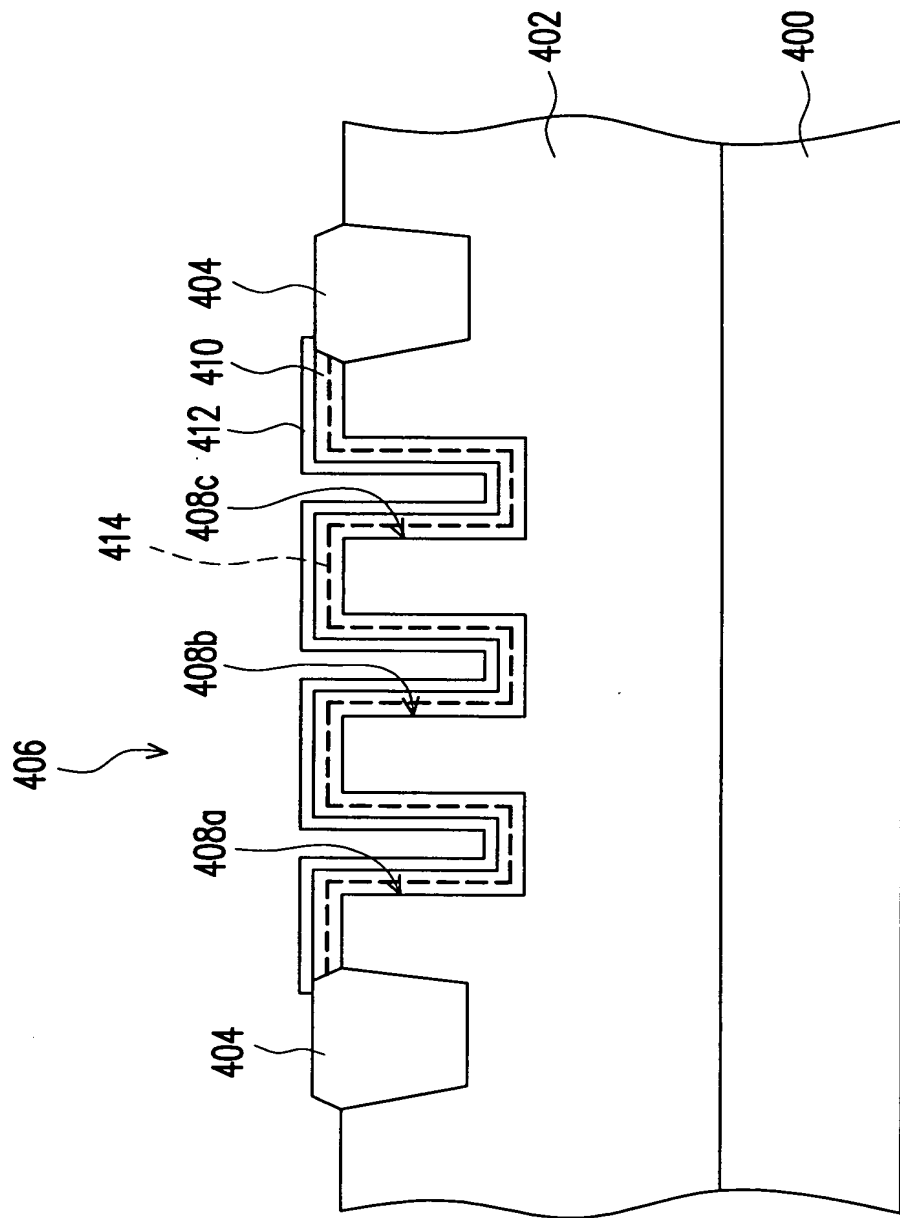


圖 9

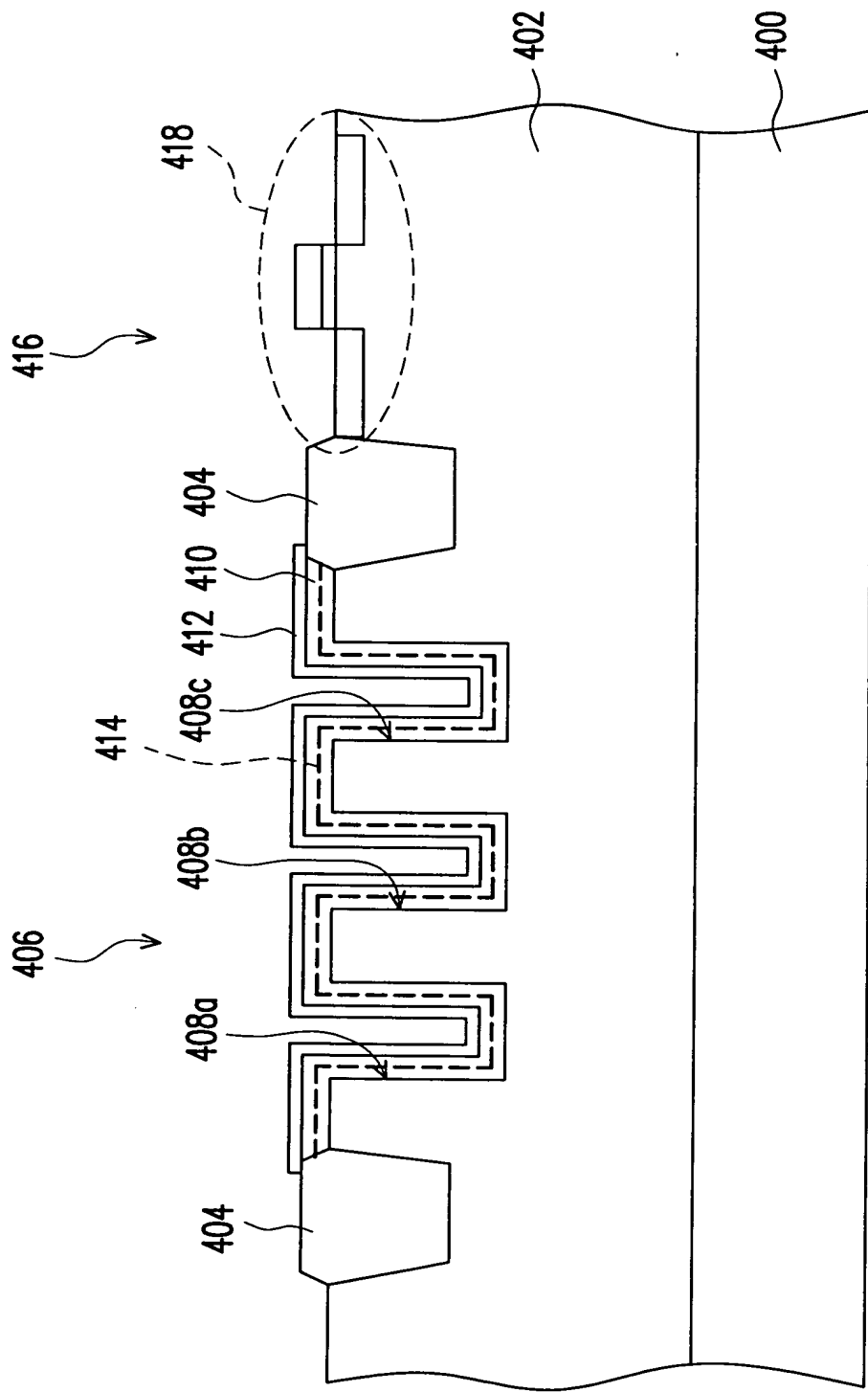


圖 10

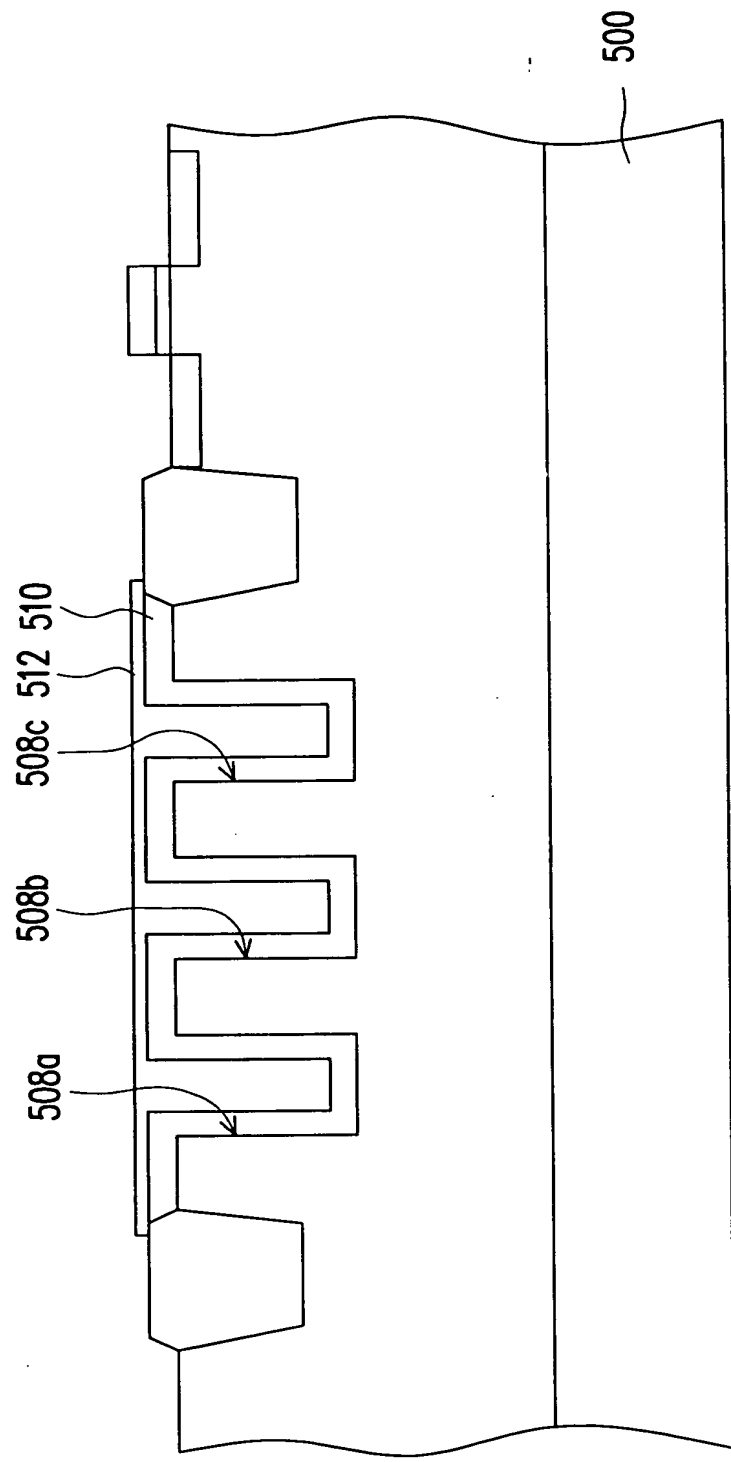
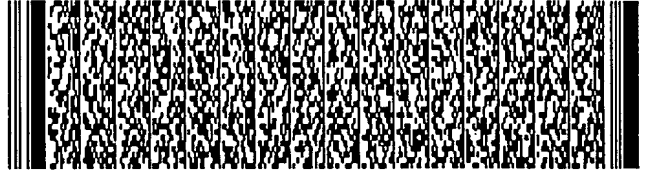
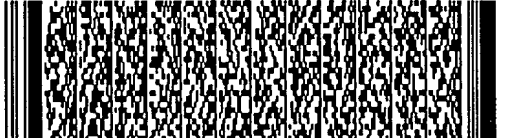


圖11

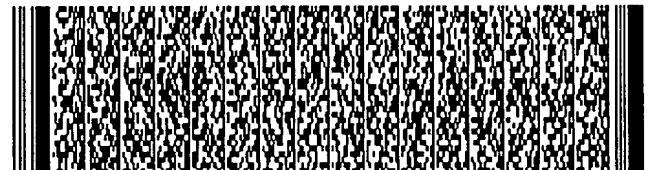




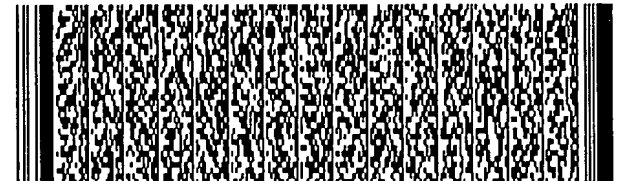
第 18/19 頁



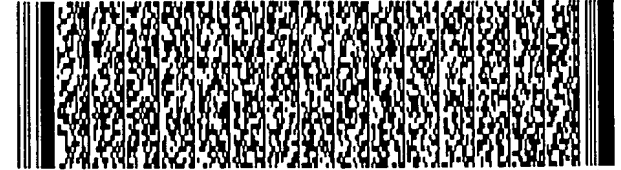
第 16/19 頁



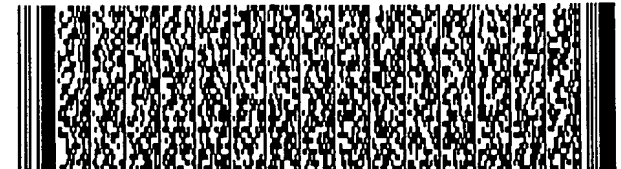
第 14/19 頁



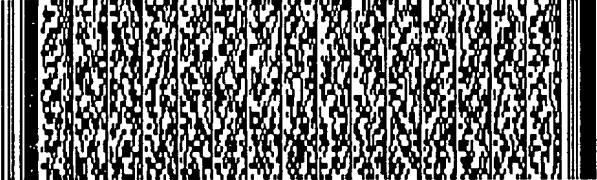
第 13/19 頁



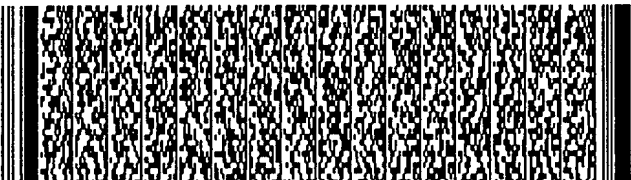
第 12/19 頁



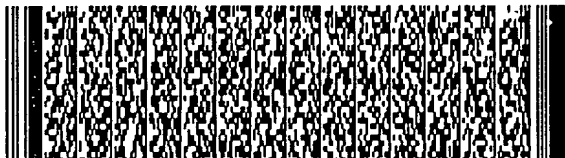
第 11/19 頁



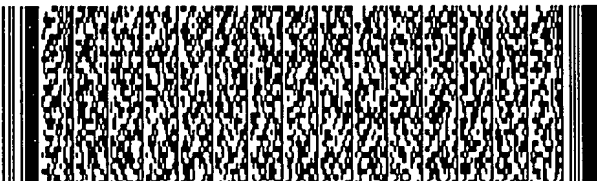
第 19/19 頁



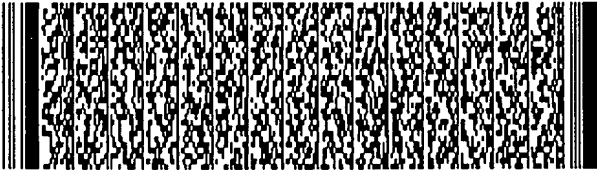
第 17/19 頁



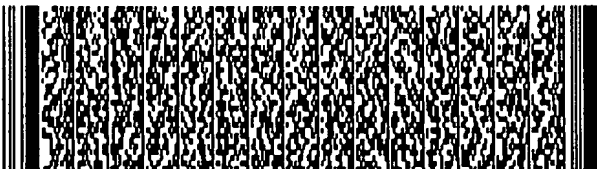
第 15/19 頁



第 13/19 頁



第 12/19 頁



第 11/19 頁